



WP472 (v1.0) 2015 年 12 月 5 日

# 赛灵思凭借 UltraScale+ 系列继续 保持多节点技术领先地位 “3D on 3D” 解决方案

作者： Derek Curd

继 28nm 和 20nm 节点取得明显的质量和执行领先优势后，赛灵思在 16nm 节点上延续其卓越和技术创新传统，采用 3D IC 堆叠硅片互联 (SSI) 技术交付了 3D FinFET 晶体管。

## 摘要

借助 UltraScale+™ 系列 All Programmable FPGA 和 MPSoC，赛灵思和代工厂台积电正在推出使用“3D on 3D”技术实现的新一代器件：采用第三代 3D IC 工艺技术的 3D FinFET 晶体管。台积电的 16nm FinFET+ 工艺为赛灵思采用 20nm 构建的业经验证的 UltraScale™ 架构带了全新的性能和能效。相应的，使用台积电 CoWoS 工艺实现的赛灵思堆叠硅片互联 (SSI) 技术让赛灵思的第三代器件突破摩尔定律的制约，提供最高的产品功能和系统集成度。

“3D on 3D”技术延续着赛灵思与台积电的行业首创记录，以更快速度将最先进的解决方案交付到客户手中。作为世界排名第一的代工厂，台积电拥有最综合全面的技术组合，从产品推出到批量生产提供完整的设计支持、代工厂服务和供应链支持。这一合作关系加上赛灵思业经验证的 ASIC 级 UltraScale 架构和 ASIC 级 Vivado® 设计工具、稳健可靠的新产品推出方法，为新一代 All Programmable 和 SoC 奠定基础，确保以最低风险向客户交付最先进的技术。

# 简介

近半个世纪以来，CMOS 技术多少追随着摩尔定律的中心主旨，即半导体器件的晶体密度每两年翻一番。同时，虽然这一历史趋势一直引导着行业的发展规划和研究工作，发挥着衡量发展速度的基准作用，也有大量文献认为这一历史趋势行将就木。毫无疑问，工艺节点越往下发展，要实现持续的进展难度就越大。物理层面的根本限制已经导致漏电和占位面积增大等行业问题，必须加以克服才能继续兑现工艺发展承诺。

虽然摩尔定律的速度在过去十年中已明确放缓，但以往靠这一规律促进先进工艺节点发展能产生诸多效益，而对这种效益的需求依然不变。半导体行业及其客户不断要求更高性能、更高能效和更高集成度，以满足最终市场对更高带宽、更高处理能力、更小外形和更低运营成本的需求。通过行业过去十余年的集中创新，铜线互联、应变硅和高介电层金属闸 (HKMG) 晶体管等技术让工艺技术不断下行，满足日益增长的需求。

但是为保持摩尔定律所需的这些先进技术已经造成新节点的工艺开发和晶圆厂建造成本合计超过 100 亿美元。相应地芯片开发成本也显著增长，这也解释了 ASIC 和 ASSP 设计数量不断下降的原因。针对特定市场或应用开发芯片所产生的偶生工程成本 (NRE) 已经增加到只有极大产量才能让前期开发成本合理化的地步。这一趋势正是推动使用赛灵思 All Programmable FPGA 和 SoC 不断替换 ASIC 和 ASSP 的动力。赛灵思 All Programmable FPGA 和 SoC 目前可降低数十万单位产量的总成本。

由于 ASIC 和 ASSP 因不断快速变化的特定市场带来的经济原因和风险因素更加难以适用，可编程解决方案必须应对提供 ASIC 级功能的挑战，才能满足未来系统的需求。应对这一挑战需要两大关键技术：3D FinFET 晶体管和 3D IC 集成。借助 UltraScale+ 系列 All Programmable 器件，赛灵思和代工厂台积电 (TSMC) 正在联合交付采用台积电 16nm FinFET+ 工艺和赛灵思第三代堆叠硅片互联 (SSI) 技术的业界领先“3D on 3D”解决方案。

这些新的可编程解决方案借助增强型 ASIC 级 UltraScale™ 架构，以及 ASIC 级的 Vivado® 设计工具的强大支持，能通过“3D on 3D”半导体技术实现下列性能目标，包括：

- **领先的性能功耗比。**充分利用 FinFET 技术，让用户根据自身应用要求选择最适合的性能和能效特征。
- **最高系统集成度。**以通过生产验证的第三代 SSI 技术为基础提供更大的器件容量以及更早的量产能力和最佳的能效。

- **风险最低。**凭借业经验证的架构以及可扩展到 16nm 和更小工艺的设计工具套件，外加赛灵思 / 台积电合作关系带来的值得信赖的质量和落实执行能力，FinFET 的优势在新一代系统中能得到充分发挥。

## 3D FinFET 晶体管技术的历史沿革与优势

虽然传统的平面 CMOS 晶体管数十年来良好地服务于行业，但要超越 20nm 节点进一步缩小此类结构受物理和电气特征的局限，要求开发替代解决方案。尽管数年来已经研究过多种备选方案，3D FinFET 因拥有出色的电气特性和大规模可制造性，被认为至少是今后几个节点继续缩小晶体管结构的首选解决方案。

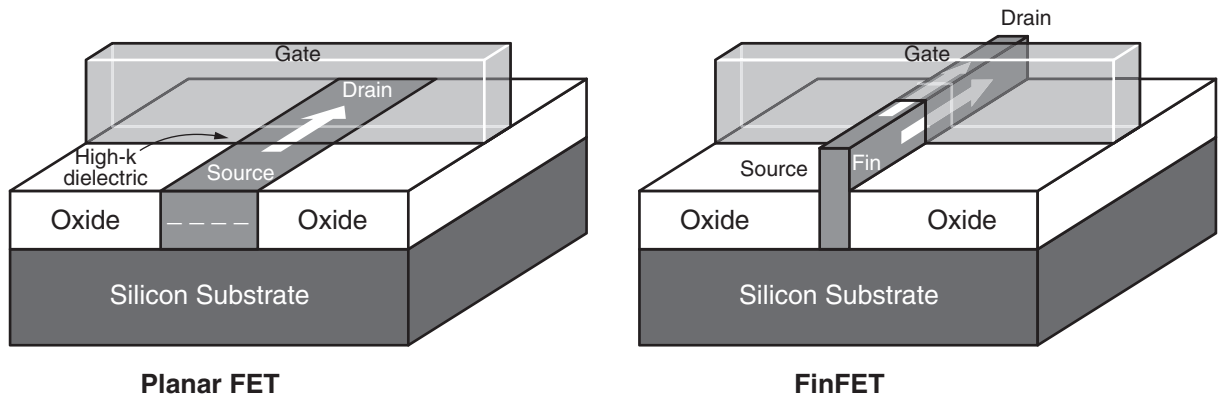
3D 晶体管早在 1990 年就已经提出，但直到 1997 年美国国防部高级计划研究局 (DARPA) 开始资助加州大学伯克利分校胡正明博士带领的研究团队，FinFET 技术的前景才开始展现。资助的目的是探索小至 25nm 级的 CMOS 晶体管制造，当时这个领域已经超越任何晶体管发展规划。1998 年胡正明博士的团队记录到首批 N- 通道 FinFET，显示成功制造出栅长度小至 17nm 的晶体管。[参考 1] 紧随这次成功，他们于 1999 年又成功制造出首批 P- 通道 FinFET。[参考 2] 这些研究工作的一项突出贡献是演示了使用传统 CMOS 工艺流程制造 FinFET，这为未来 3D 晶体管技术投入大规模制造奠定了坚实的基础。

胡正明博士于 2001 年成为台积电首席技术官，把自己丰富的 FinFET 晶体管制造知识带给世界排名第一的代工厂。在这里他继续推动行业领先的研究工作，为台积电向深度亚微米工艺技术（如 16nm FinFET+）发展奠定了基础。因自己和自己团队为开发和推动 3D 晶体管技术所做出的贡献，胡正明博士已被尊称为“FinFET 之父”。因为自己的工作，他得到了美国和国际众多协会和标准组织颁发的多项奖项。

标准平面 CMOS 技术和 3D FinFET 技术的基本物理区别见图 1。这种区别在于物理几何结构和晶体管构造，它直接决定了 FinFET 晶体管优异的密度和电气特性，使之成为 20nm 节点以下半导体器件制造的首选解决方案。如图 1 所示，常规晶体管的构造是在平面的二维硅区叠加一个栅电极，从而形成晶体管源极和漏极之间的通道。对超短通道晶体管（栅长度 ( $L_G$ ) < 20nm）而言，这一结构会导致下列难题：

- **高漏电流：**在处于关断状态时晶体管的源极和漏极间会发生大量亚阈值漏电流，原因是栅电极只从一侧无法对通道区施加充分的静电控制。这样会增大静态功耗和器件的可变性。

- **性能局限：**由于栅极控制问题，小几何结构平面晶体管在不产生大量漏电流的情况下无法获得所需的驱动强度提升。因此难以在性能和功耗之间实现最佳平衡。
- **面积扩大限制：**创建给定驱动强度的平面晶体管需要更大的晶片面积，因为宽度 (W) 和长度 (L) 被约束在两个维度上，而这两者直接决定了晶体管封装尺寸。



WP472\_01\_120215

图 1：平面晶体管与 FinFET 晶体管结构对比

在 FinFET 晶体管中，栅电极围绕一个或多个 3D 硅“鳍”，形成源极和漏极之间的通道区域。与常规的平面晶体管相比，这一结构提供多种优势：

- **较低漏电流（静态功耗）。**由于栅电极从三侧包裹，对通道的静电控制力显著增强，从而大幅减少关断状态的亚阈值漏电流。这意味着器件的静态功耗明显下降并具有更高的一致性。
- **降低动态功耗。**强大的漏电流控制还能降低晶体管阈值电压 ( $V_t$ )，从而降低工作电压，直接降低动态功耗。
- **高性能。**从三侧增强对通道区的静电控制能加快晶体管的开关速度，从而快速大幅提升总体器件性能。
- **面积减小。**FinFET 晶体管的有效通道宽度大致为“鳍”的高度加宽度的两倍。通道宽度直接与晶体管的驱动强度和性能成正比。通过把宽度延伸到第三维，FinFET 晶体管能够以更小的面积实现与平面晶体管等同的驱动强度。

总之 3D FinFET 晶体管技术的优势让半导体器件相对前几代器件而言，能够在相同的功耗水平下大幅提升性能。换言之，在相同的性能水平上能够显著降低功耗。正如赛灵思 UltraScale+ 器件所展现的，使用适当的 FinFET 工艺和设计目标可以同时得到性能提升和更出色的能效。此外，晶体管层面的面积效率改善可大幅提升 ASIC 级特性与功能的集成度。

FinFET 晶体管除了性能、能效和占位面积方面的改善，它们特有的垂直“鳍”结构还能够显著减少单粒子翻转（SEU）。由于源/漏区与基片接触的横截面面积明显缩小，因此能缩小离子化微粒造成的电荷积累区域，从而减少 SEU 的发生率

## 给 UltraScale+ All Programmable FPGA 和 MPSoC 带来的“3D on 3D”技术优势

在 UltraScale+ 系列中，赛灵思和台积电继续开展成功合作，将行业首创的技术投放市场，在 All Programmable 架构中实现新的 ASIC 级功能。台积电公司的 16nm FinFET+ 3D 晶体管技术为使用能从 20nm 缩小到 16nm 乃至更小节点的增强型赛灵思 UltraScale 架构制造单芯片 IC 和 3D IC 器件奠定了基础。

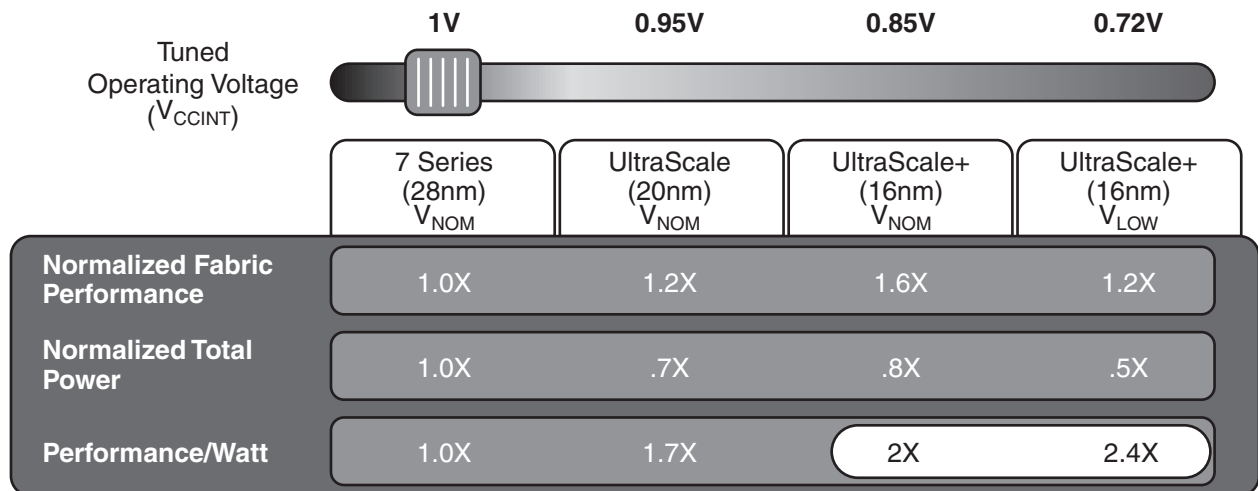
这种基于 3D IC 的产品采用了赛灵思业经验证的 SSI 技术。该技术是采用台积电 CoWoS 工艺实现的。CoWoS 工艺已在 28nm 节点上通过生产质量认证。以这一技术合作为基础，赛灵思和台积电继续提供最高性能、最高能效、最高集成度的 FPGA 和 SoC，从而提供出色的总体器件可靠性。

### 使用 3D 晶体管提供最佳性能功耗比

半导体产品的客户越来越重视小尺寸、运营成本低和更环保的技术。虽然性能功能仍然是对新系统的一大关键要求，对新一代系统而言，“不惜一切代价实现性能”很少作为可接受的设计标准。在许多应用中，能效已经成为即便不是更大也是与性能同等重要的问题。因此赛灵思致力于跨越多节点器件产品组合交付具有最高性能功耗比的可编程解决方案。

从 28nm 开始，赛灵思和台积电建立了深度合作伙伴关系，同时针对性能和能效优化工艺技术。该合作促成了 HPL 工艺的开发，为优化可编程器件的性能功耗比设立了全新的标准。与采取“不惜一切代价实现性能”的竞争对手解决方案相比，赛灵思能提供相当甚至更高的性能水平，同时还能显著降低功耗。图 2 显示了赛灵思和台积电公司如何不断提升 20nm 和 16nm 节点上的性能功耗比目标。在 20nm 上，赛灵思设计的工作点位于台积电的 20SOC 工艺技术窗口内，与 28nm 相比可带来 70% 的性能功耗比提升。

在 16nm 上赛灵思和台积电共同交付业界性能功耗比最高的 FinFET 可编程器件，为行业再次设立了全新的标准。FinFET 晶体管现在能支持更大的工作电压范围，同时仍然提供一流的性能和漏电流水平。UltraScale+ 器件运用这些特性打造除了支持两种工作电压的产品：额定电压（ $V_{NOM}$ ）和较低供电电压（ $V_{LOW}$ ）。电压选项让设计人员能够选择工作范围，为特定设计提供理想的性能和功耗水平。在  $V_{NOM}$  供电电压 (0.85V) 下，UltraScale 器件与 28nm 解决方案相比，性能提升 60%，功耗下降 20%，性能功耗比提升 2 倍。对需要最大能效的应用， $V_{LOW}$  供电电压 (0.72V) 与 28nm 器件相比，在性能上提高一个速度等级以上，功耗下降幅度达 50%，性能功耗比提升 2.4 倍。



WP472\_02\_120215

图 2：赛灵思在性能功耗比方面居业界领先地位

## 采用 3D IC 封装，实现极高集成度

SSI 技术是赛灵思和台积电有深度合作的另一个领域，在推广可编程器件的优势、交付 ASIC 级集成度与功能方面有过成功的经历。在 28nm 节点上，赛灵思的 SSI 技术展示了 3D IC 可编程器件的集成度、电源管理和上市速度优势，打造了行业首款同构和异构 3D IC 解决方案。使用台积电业经验证的 CoWoS 3D IC 工艺，赛灵思生产出的器件在容量上是同类竞争产品 FPGA 的两倍多，而且是在 28nm 工艺周期之初就做到了。在这个时点上试图制造最大型单芯片器件，往往会以失败而告终，因为工艺在初期阶段缺陷密度较高。不久之后，赛灵思通过将在两种不同节点上制造的可编程逻辑与 28Gb/s 收发器结合起来，展示了非常热门的 3D IC 技术的前景。这也代表着行业中首款异构 3D IC 产品问世。

在 20nm 节点上，赛灵思和台积电再度运用 3D IC 技术交付容量是同类竞争解决方案四倍的器件，如图 3 所示。这一技术合作为高密度应用（例如 ASIC 原型设计与仿真）提供完整的工艺节点，并使之领先于规划的单芯片解决方案整整一代的水平。拥有这样逻辑容量的器件物理上无法在 20nm 单芯片解决方案中实现，因为会产生无法接受的性能和静态功耗变化，即便这样的器件可以构建出来。SSI 技术能够让性能和功耗都相匹配的器件集成在一起，实现为一致理想设计结果。

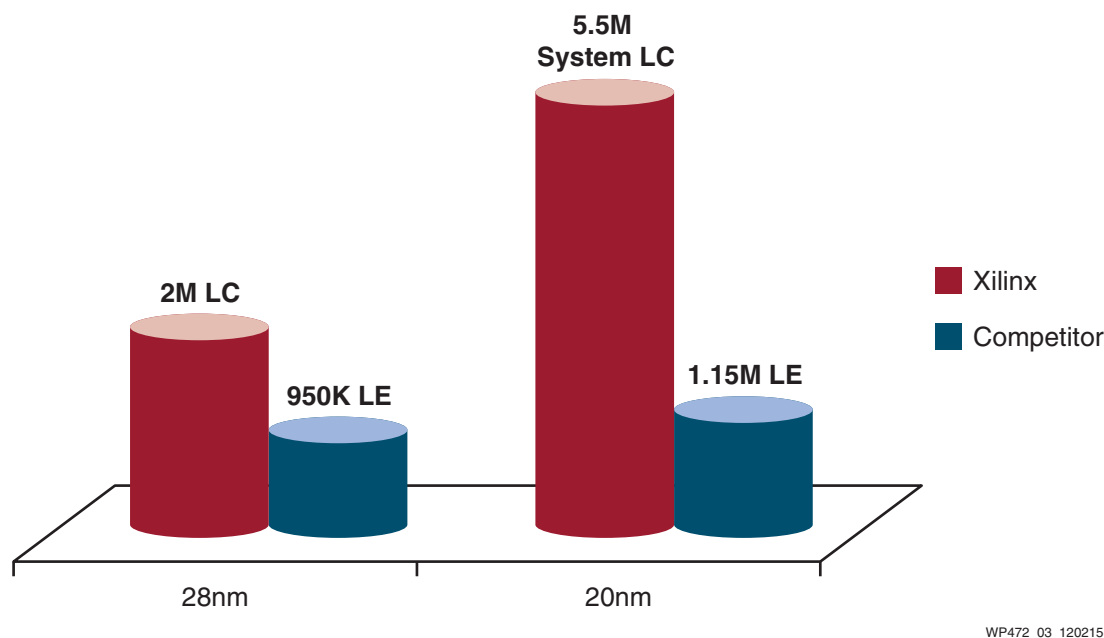


图3：赛灵思 3D IC 发展历程与同类竞争单芯片解决方案的对比

赛灵思和台积电再度携手，采用台积电的 3D FinFET 晶体管技术针对 UltraScale+ 系列推出 3D IC 解决方案。基于台积电业经验证的 CoWoS 工艺的第三代 3D IC 产品代表又一个行业首创——运用最先进技术可实现最高的系统性能、能效和集成度。这些解决方案可为之前出于性能和功耗要求不得不采用硬接线解决方案的 ASIC 和 ASSP 用户提供充分利用 All Programmable FPGA 与 MPSoC 解决方案高灵活性及快速上市优势的机会。

就在赛灵思率先投产基于中介层的 3D IC 解决方案以最大化系统集成度之际，半导体行业的其余厂商也纷纷效仿。今天这种 3D IC 技术正在成为在单个封装中集成多个晶片的行业标准。例如，2016 年业界领先的 GPU 厂商预计发布的产品会带有采用 3D IC 技术的集成高带宽存储器 (HBM)，这是对赛灵思率先推出的量产质量级解决方案很好的证明。

## 风险最低的新一代解决方案实现途径

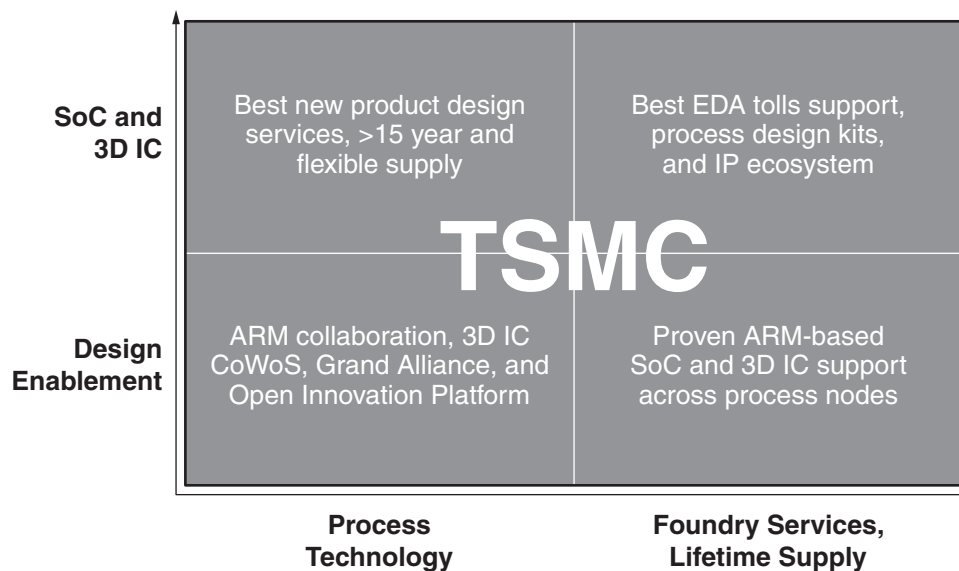
通过创新为客户提供最先进的技术是赛灵思产品定义与开发的基础，但没有执行的创新是一项极大的学术工程。因此，赛灵思始终致力于按照承诺按时交付具有绝对最高质量的产品，让客户以最低风险获得最先进的可用技术。通过精心规划的合作伙伴战略、产品开发及新产品推出方法，赛灵思在提供解决方案方面获得了业经验证的斐然成绩，其推出的解决方案能够以最高初始生产质量充分满足设计规范与日程安排要求。28nm 节点上获得的这一成功秘笈经过在 20nm 节点上的锤炼，为在 16nm 节点上实现“3D on 3D”解决方案奠定了坚实的基础。

## 业经验证的合作伙伴关系

作为世界上排名第一的代工厂，台积电在为无工厂半导体行业的客户提供了许多先进技术。台积电的 Cortex™ 级 ARM® 内核集成和 3D IC 解决方案这两大关键技术让其鹤立鸡群，当然也成為了赛灵思技术合作伙伴的不二选择。台积电在每个节点上都与 ARM 进行了早期深入的接触，提供的业经验证方法能够在目标芯片技术上验证 ARM 处理器 IP 的功能、性能和设计 / 工艺交互。这一坚实基础有助于在台积电 16nm FinFET+ 技术基础上快速构建并启动设计赛灵思 Zynq® UltraScale+ MPSoC 器件。Zynq UltraScale+ MPSoC 包含工作频率高达 1.5GHz 的四核 ARM Cortex-A53 MPCore 以及许多其它异构处理引擎。该器件的所有主要模块都在首次投片后的几天内完成了验证，因此能够在 2015 年 10 月提前开始发货。

就 3D IC 器件而言，赛灵思和台积电正在把 16nm 节点上的第三代量产质量级解决方案推向市场。与 FinFET 类似，3D IC 技术被公认为是半导体行业发展蓝图上的一个里程碑事件，其大幅提升了集成度、能效和系统性能，这是传统单芯片器件无法企及的。赛灵思和台积电拥有前两代 3D IC 技术的生产经验，因此对于在 FinFET 件上实现这些解决方案非常自信。与此同时，同类竞争解决方案正在使用未经验证的 3D IC 技术进行首次多晶片集成尝试。

虽然获取最先进的技术是赛灵思与台积电合作的关键，但这只是通过这种良性关系为客户提供最先进、最高质量 FPGA 和 MPSoC 的多个重要环节中的一环。图 4 所示，台积电近三十年来一直致力于满足无工厂半导体行业的需求，这一独特定位，让其能够为新产品开发、推出和批量生产提供全方位支持。



WP472\_04\_120115

图 4: 台积电综合全面的技术与代工厂服务



台积电的设计实现能力可帮助获得稳健的行业标准 EDA 工具以及半导体行业最广泛的 IP 生态系统。他们的代工厂业务能够为新产品设计带来最有力的支持，从初始产品推出开始，能提供 15 年乃至更长时间的高度灵活、稳健可靠的器件供应。所有这些因素提供了配套基础设施，可帮助企业获得和利用台积电世界一流的技术以及其“盛大联盟”（由 EDA、IP、制造设备与设计生态系统合作伙伴组成）的优势。

## 业经验证的工具和架构

在过去数年里，赛灵思做出了一系列精心规划、与时俱进的产品开发和推出决策，让客户能够使用 ASIC 级设计工具和芯片架构、同时降低新产品引入的风险。历时四年开发，赛灵思于 2012 年 7 月公开发布了 Vivado ASIC 级设计环境。在三年多以后的今天，Vivado 设计工具所带来的业经验证的优势继续让赛灵思客户大获裨益，其中包括明显缩短的运行时间、改善的结果质量、更高的器件利用率 and 通过 UltraFast™ 设计方法明显加快的开发速度等。

在 2013 年年底，赛灵思开始推出基于全新首款 ASIC 级可编程 UltraScale 架构的 20nm 器件。对于需要大量 I/O 和存储器带宽、大规模数据流、一流 DSP 和包处理性能的最严苛应用而言，UltraScale 器件能提供前所未有的集成度和系统级性能。UltraScale 架构现已在 20nm 节点上通过验证，并可扩展到 16nm 节点，从而满足新一代应用的更高性能、能效和集成度要求。UltraScale+ 器件交付的是使用台积电 16nm FinFET+ 技术制造的增强版架构。

通过在一段时间里战略性地推出和验证新的设计工具与架构，赛灵思已经大幅降低了向 FinFET 工艺技术过渡的风险。针对该工具和架构的所有开发、培训和优化工作，有助于让客户快速应用赛灵思 16nm 器件并获得优势。在 FinFET 这代产品上，同类竞争解决方案的设计工具、架构、制造合作伙伴和工艺技术一直在不断变化，所带来的大量变数预期会给质量、执行以及获得稳定解决方案所需的时间造成不利影响。

## 绝对质量和总体执行

在 28nm 节点上，就整个数百万的 FPGA 和 SoC 器件发货量而言，赛灵思器件一直保持着低于 2%（ppm）的质量标准。赛灵思 7 系列 FPGA 和 Zynq-7000 SoC 已按时、符合规范交付，没有与赛灵思开发的器件模块有关的生产掩码组修改或勘误表项。这样的高质量与执行水平不仅让同类竞争解决方案望尘莫及，同时也是对赛灵思强大的新产品推出方法的完美证明。这种产品推出方法已经历多代的发展演变，最终成为针对每个新系列的需求进行扩展的综合性流程。赛灵思业经验证的工艺建模和设计验证方法的出现，要远早于使用硅测试载具进行首款产品的流片。这些平台可用于深入了解设计和工艺特性，为生产业界最佳产品奠定坚实基础。当首个产品芯片问世，由四个阶段组成的验证和特性描述程序即开始启动，可用于尽早发现任何关键问题，从而迅速加以解决，实现更加理想的 ES 和量产芯片质量。

通过快速推出和广泛抽样基于第一个掩码组的 Kintex® UltraScale 器件，该业经验证的方法在 20nm 节点上得以复制。这些器件拥有极高的初始质量，在收到首片芯片数天内，包括 16Gb/s 收发器在内的所有主要模块都能实现全面运行。这种高质量和执行水平实现了产品资格认证的快速通过，为迅速按时推出其余的 Kintex 和 Virtex® UltraScale 器件铺平了道路。在 20nm 节点上，赛灵思的高质量和执行方法实现了领先同类竞争解决方案一年多的上市时间优势，让客户能够以更快速度、更低风险将新系统投放市场。

随着成功推出最近的两个节点，赛灵思正在把这一方法延伸到 16nm FinFET+ 器件，以交付拥有绝对质量和全面执行能力的 UltraScale+ FPGA 和 MPSoC 系列。之前节点的所有验证、特性描述和经验都为赛灵思的持续成功奠定了坚实基础。Zynq UltraScale+ MPSoC 器件的首个芯片实现了所有主要模块的快速初启和验证，超越了之前一代建立的高标准。通过与台积电合作使用业经验证的新产品推出方法，充分发挥由 Vivado 设计工具完全支持、协同优化的 UltraScale 架构的作用，赛灵思帮助客户以最低的风险实现 FinFET 技术的优势。

## 结论

在 16nm 节点上，赛灵思和台积电正在将 UltraScale+ All Programmable 器件引入“3D on 3D”解决方案时代，为新一代系统提供最高水平的性能、能效和集成度。这些器件基于 ASIC 级架构并具有 ASIC 功能设计工具的支持，能进一步替换固定功能的产品，为客户提供可编程解决方案传统的灵活性和上市时间优势。赛灵思 All Programmable 器件和开发工具在最近两个节点上已经建立了明确的质量和执行领先地位，正在成为事实上的行业标准。赛灵思 UltraScale+ 器件正在延伸使用该方法，为客户交付具有最低风险的第三代最佳技术。

关于赛灵思 UltraScale+ 产品系列的详细介绍，或如需立即使用这些产品开始设计，敬请访问赛灵思网站上的 [UltraScale 架构技术](#) 页面，参阅 [DS890](#)，《UltraScale 架构和产品简介》。

## 参考资料

1. A folded-channel MOSFET for deep-sub-tenth micron era, D. Hisamoto, W.-C. Lee, J. Kedzierski, E. Anderson, H. Takeuchi, K. Asano, T.-J. King, J. Bokor, and C. Hu, IEEE International Electron Devices Meeting Technical Digest, pp. 1032-1034, 1998
2. Sub 50-nm FinFET:PMOS, X. Huang, W.-C. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y.-K. Choi, K. Asano, V. Subramanian, T.-J. King, J. Bokor, and C. Hu, IEEE International Electron Devices Meeting Technical Digest, pp. 67-70 1999

## 版本修改

下表列出了本文档的修订历史：

日期	版本	修订描述
2015 年 12 月 15 日	1.0	赛灵思初始版本

## 免责声明

本文向贵司 / 您所提供的信息（下称“资料”）仅在对赛灵思产品进行选择和使用参考。在适用法律允许的最大范围内：（1）资料均按“现状”提供，且不保证不存在任何瑕疵，赛灵思在此声明对资料及其状况不作任何保证或担保，无论是明示、暗示还是法定的保证，包括但不限于对适销性、非侵权性或任何特定用途的适用性的保证；且（2）赛灵思对任何因资料发生的或与资料有关的（含对资料的使用）任何损失或赔偿（包括任何直接、间接、特殊、附带或连带损失或赔偿，如数据、利润、商誉的损失或任何因第三方行为造成的任何类型的损失或赔偿），均不承担责任，不论该等损失或者赔偿是何种类或性质，也不论是基于合同、侵权、过失或是其他责任认定原理，即便该损失或赔偿可以合理预见或赛灵思事前被告知有发生该损失或赔偿的可能。赛灵思无义务纠正资料中包含的任何错误，也无义务对资料或产品说明书发生的更新进行通知。未经赛灵思公司的事先书面许可，贵司 / 您不得复制、修改、分发或公开展示本资料。部分产品受赛灵思有限保证条款的约束，请参阅赛灵思销售条款：<http://china.xilinx.com/legal.htm#tos>；IP 核可能受赛灵思向贵司 / 您签发的许可证中所包含的保证与支持条款的约束。赛灵思产品并非为故障安全保护目的而设计，也不具备此故障安全保护功能，不能用于任何需要专门故障安全保护性能的用途。如果把赛灵思产品应用于此类特殊用途，贵司 / 您将自行承担风险和责任。请参阅赛灵思销售条款：<http://china.xilinx.com/legal.htm#tos>。

## 关于与汽车相关用途的免责声明

赛灵思产品并非为故障安全保护目的而设计，也不具备此故障安全保护功能，不能用于任何需要专门故障安全保护性能的用途，比如与下列有关的用途：（1）安全气囊设置；（2）车辆控制，除非在该赛灵思产品中具备故障安全保护或者额外功能（但不包括对安装在赛灵思设备中用于执行该等额外功能的软件的使用）且会对操作人员操作失误发出警告信号；或者（3）可能会导致死亡或者人身损害的用途。客户应当自行承担因赛灵思产品被用于该等用途而产生的全部风险和责任。